

011115237 **Image available**

WPI Acc No: 97-093162/199709

XRAM Acc No: C97-029938

XRPX Acc No: N97-077042

Production of insulated gate type element - involves heat annealing active layer after forming source-drain areas by implanting phosphorous ions

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 8330602	A	19961213	JP 9697478	A	19960327	H01L-029/786	199709 B

Priority Applications (No Type Date): JP 9594410 A 19950327

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 8330602	A		12			

Abstract (Basic): JP 8330602 A

The method involves forming an amorphous silicon film (103) on a glass substrate (101) through a back ground film (102). The Ni, which acts as the catalyst encouraging crystallization of the silicon film is added to the silicon film. Thus, crystalline silicon film (104) is obtained. The density of the added Ni, lies between 1×10^{15} atom/cm³ and 1×10^{19} atom/cm³.

An active layer (105) is obtained by patterning the crystalline silicon film. The phosphorous ion is implanted into the selected portion of the active layer. A source-drain areas (108, 109) are thus formed in the active layer. The active layer is then subjected to the heat annealing process or optical annealing process.

ADVANTAGE - Improves dispersion characteristic of thin film.

Dwg. 1/4

Title Terms: PRODUCE; INSULATE; GATE; TYPE; ELEMENT; HEAT; ANNEAL; ACTIVE; LAYER; AFTER; FORMING; SOURCE; DRAIN; AREA; IMPLANT; PHOSPHOROUS; ION

Derwent Class: L03; U11

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L 021/20, H01L 021/200.

H01L-021/322; H01L-021/324; H01L-021/336

3 File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

05375102 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **08-330602** [JP 8330602 A]

PUBLISHED: December 13, 1996 (19961213)

INVENTOR(s): TANAKA KOICHIRO

 ONUMA HIDETO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
 or Corporation), JP (Japan)

APPL. NO.: 08-097478 [JP 9697478]

FILED: March 27, 1996 (19960327)

INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/268;
 H01L-021/322; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS --
 Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
 Implantation)

ABSTRACT

PURPOSE: To enhance the characteristics of a semiconductor device,
utilizing a metal element which accelerates crystallization of Si.

CONSTITUTION: A thin film transistor is constituted, using a crystalline Si
film obtained by utilizing a metal element, Ni, which accelerates the
crystallization of Si. A source region 108 and drain region 109 are
produced with Ni by implanting ions of an element, P, for gettering Ni and
annealing to getter Ni. For forming a P-channel type thin film transistor,
for example, both phosphorus and boron are used; phosphorus determining the
conductivity and boron being used for gettering.

特開平8-330602

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 6 L
	21/336		21/20	
	21/20		21/268	Z
	21/268		21/322	J
	21/322		21/324	Z
審査請求 未請求 請求項の数13 F D (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平8-97478

(22) 出願日 平成8年(1996)3月27日

(31) 優先権主張番号 特願平7-94410

(32) 優先日 平7(1995)3月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 田中 幸一郎

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 大沼 英人

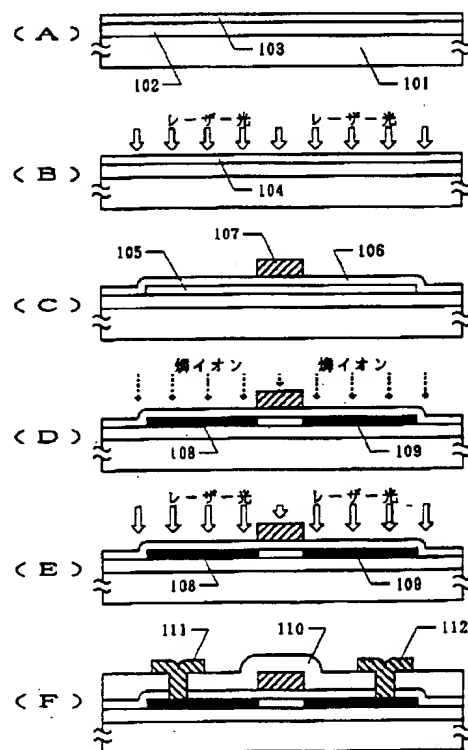
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【目的】珪素の結晶化を助長する金属元素を利用した半導体装置の特性を向上させる。

【解決手段】珪素の結晶化を助長する金属元素であるニッケルを利用して得られた結晶性珪素膜を用いて薄膜トランジスタを構成する場合において、ソース領域108とドレイン領域109の作製に際して、ニッケルをゲッタリングする元素である燐をイオン注入する。そしてアニールを施すことにより、ニッケルのゲッタリングを行う。例えばPチャネル型の薄膜トランジスタを形成する場合において、燐と硼素の両方を用いる。この場合、導電型は硼素で決定し、燐はゲッタリング材料として用いる。



【特許請求の範囲】

【請求項1】基板上に形成された非単結晶で、結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を半導体装置の活性層に成形する工程と、前記活性層のソース・ドレイン領域に燐を添加する工程と、前記活性層に対して、熱アニール又は／及び光アニールを施す工程と、を有することを特徴とする半導体装置の作製方法。

【請求項2】請求項1において、燐がソース・ドレイン領域に $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 の濃度で添加されていることを特徴とする半導体装置の作製方法。

【請求項3】基板上に形成された非単結晶でかつ結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を半導体装置の活性層に成形する工程と、前記活性層ソース・ドレイン領域に燐を添加する工程と、前記燐を越える密度で該ソース・ドレイン領域に硼素を添加する工程と、前記活性層に対して、熱アニール又は／及び光アニールを施す工程と、を有することを特徴とする半導体装置の作製方法。

【請求項4】請求項3において、燐がソース・ドレイン領域に $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 の濃度で添加され、かつ硼素がソース・ドレイン領域に燐の濃度より $1 \times 10^{20} \sim 1 \times 10^{21}$ 原子/ cm^3 多く添加されていることを特徴とする半導体装置の作製方法。

【請求項5】基板上に形成された非単結晶でかつ結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を複数の半導体装置の活性層に成形する工程と、前記活性層全てのソース・ドレイン領域に燐を添加する工程と、少なくとも1つの前記活性層のソース・ドレイン領域に硼素を選択的に添加する工程と、前記活性層に対して、熱アニール又は／及び光アニールを施す工程とを有し、前記ソース・ドレイン領域中の硼素の濃度は燐の濃度よりも高いことを特徴とする半導体装置の作製方法。

【請求項6】請求項5において、燐がソース・ドレイン領域に $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 の濃度で添加され、かつ硼素がソース・ドレイン領域に燐の濃度より $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 多く添加されて

いることを特徴とする半導体装置の作製方法。

【請求項7】基板上に形成された非単結晶でかつ結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を半導体装置の活性層に成形する工程と、前記活性層のソース・ドレイン領域と、LDD領域とに燐を添加する工程と、前記活性層に対して、熱アニール又は／及び光アニールを施す工程と、を有することを特徴とする半導体装置の作製方法。

【請求項8】請求項7において、LDD領域に添加される燐の濃度が $4 \times 10^{16} \sim 7 \times 10^{17}$ 原子/ cm^3 であり、かつソース・ドレイン領域に添加される燐の濃度が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 であることを特徴とする半導体装置の作製方法。

【請求項9】基板上に形成された非単結晶でかつ結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を半導体装置の活性層に成形する工程と、前記活性層のLDD領域に燐を添加する工程と、前記活性層のLDD領域に硼素を添加する工程と、前記活性層のソース・ドレイン領域に硼素を添加する工程と、前記活性層に対して、熱アニール又は／及び光アニールを施す工程とを有し、前記硼素が添加された活性層において、LDD領域中の硼素の濃度は燐の濃度よりも高く、前記ソース・ドレイン領域の硼素の濃度はLDD領域中の硼素の濃度よりも高いことを特徴とする半導体装置の作製方法。

【請求項10】請求項9において、前記LDD領域に添加される燐の濃度が $4 \times 10^{16} \sim 7 \times 10^{17}$ 原子/ cm^3 であり、かつ該領域に添加される硼素の濃度が燐の濃度より $3 \times 10^{17} \sim 4 \times 10^{18}$ 原子/ cm^3 高く、かつソース・ドレイン領域に添加される硼素の濃度が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 であることを特徴とする半導体装置の作製方法。

【請求項11】基板上に形成された非単結晶でかつ結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を複数の半導体装置の活性層に成形する工程と、前記活性層のソース・ドレイン領域と、LDD領域とに燐を添加する工程と、前記活性層のLDD領域に硼素を添加する工程と、前記ソース・ドレイン領域に硼素を添加する工程と、

前記活性層に対して、熱アニール又は／及び光アニールを施す工程とを有し、

前記硼素が添加された活性層において、LDD領域中の硼素の濃度は磷の濃度よりも高く、前記ソース・ドレイン領域中の硼素の濃度は磷の濃度よりも高いことを特徴とする半導体装置の作製方法。

【請求項12】基板上に形成された非単結晶でかつ結晶化を助長する触媒元素としてニッケルが $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm³の濃度で添加された結晶性シリコン膜を利用する半導体装置の作製方法において、前記結晶性シリコン膜を複数の半導体装置の活性層に形成する工程と、

前記活性層全てのソース・ドレイン領域と、LDD領域とに磷を添加する工程と、

少なくとも1つの前記活性層のLDD領域に硼素を選択的に添加する工程と、

該工程において、LDD領域に硼素が添加されている活性層のソース・ドレイン領域に硼素を添加する工程と、前記活性層に対して、熱アニール又は／及び光アニールを施す工程と、

を有し、

前記硼素が添加された活性層において、LDD領域中の硼素の濃度は磷の濃度よりも高く、前記ソース・ドレイン領域の硼素の濃度はLDD領域中の硼素の濃度よりも高いことを特徴とする半導体装置の作製方法。

【請求項13】請求項11又は請求項12において、LDD領域に添加される磷の濃度が $4 \times 10^{16} \sim 7 \times 10^{17}$ 原子/cm³であり、かつ該領域に添加される硼素の濃度が磷の濃度より $3 \times 10^{17} \sim 4 \times 10^{18}$ 原子/cm³高く、

ソース・ドレイン領域に添加される磷の濃度が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³であり、かつ該領域に添加される硼素の濃度が磷の濃度より $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³高いことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非単結晶の結晶性シリコン膜を有する薄膜トランジスタ（TFT）等の絶縁ゲイト型半導体素子やその他の半導体装置の作製過程において、結晶性シリコン膜が含んでいる不純物（Ni等）の該素子に対する悪影響を極力抑えるためのドーピング技術に関するものである。特に、本発明は、該結晶性シリコン膜が結晶化触媒元素（Ni等）の助けを借りて形成されている場合に、特に有用である。

【0002】

【従来の技術】最近、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイト型のトランジスタ、いわゆる薄膜トランジスタ（TFT）

が熱心に研究されている。薄膜トランジスタは利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTと言うように区別されている。しかしながら、結晶性シリコンとは言っても、単結晶ではない非単結晶のものである。したがって、これらは非単結晶シリコンTFTと総称される。

【0003】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT（PMOSのTFT）を作製することができない。したがって、Nチャネル型TFT（NMOSのTFT）と組み合わせて、相補型のMOS回路（CMOS）を形成することができない。

【0004】一方、結晶性半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能である。

【0005】非単結晶の結晶性シリコン膜は、気相成長法によって得られたアモルファスシリコン膜を長時間適切な温度（通常は600℃以上）で熱アニールするか、レーザー等の強光を照射すること（光アニール）によって得ることができる。

【0006】熱アニールによる方法に関しては、特開平6-244104に記述されるように、ニッケル、鉄、コバルト、白金、パラジウム等の元素（以下、結晶化触媒元素、または、単に、触媒元素という）がアモルファスシリコンの結晶化を促進する効果を利用することにより、通常の場合よりも低温・短時間の熱アニールにより結晶性シリコン膜を得ることができる。

【0007】同様な技術は、他に、特開平6-318701、同6-333951等に開示されている。なお、このような結晶化触媒元素を有するシリコン膜においては、その後にイオンドーピング法等の手段によってN型やP型の不純物イオンを照射・注入することによるソース・ドレイン等の不純物領域を形成した後の不純物元素の活性化も、従来に比較して低温の熱アニールによって行うことができることが明らかになっている。（特開平6-267980、同6-267989）

【0008】このような目的には、結晶化触媒元素の濃度は $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm³とすることが望ましい。この範囲に達しない低濃度では、結晶化が促進されず、また、この範囲を越える高濃度ではシリコン半導体特性に悪影響をもたらしてしまう。なお、この場合の触媒元素の濃度は、2次イオン質量分析法（SIMS）によって、分析された最大値として定義される。多くの場合、触媒元素は膜中において分布を示す。

【0009】

【発明が解決しようとする課題】しかしながら、上記結

晶化を助長する触媒元素を含む結晶性シリコンを用いて作製された半導体装置においては、電界移動度は大きいものの、OFF 電流の高い特性の悪いものが多く観察される。特に、同一基板上に多数の該半導体装置を形成した場合、OFF 電流が高いだけでなく、OFF 電流の値が該半導体装置間で大きくばらつくものが目立ってしまう。

【0010】OFF 電流が高くなったり、上述のようなばらつきが生じる原因は、該結晶化を助長する触媒元素にあると考えられる。即ち、該結晶化を助長する触媒元素がジャンクションにかかっているのが主な原因ではないかと推測される。

【0011】これらのような特性は、特に液晶ディスプレイの画素部分を構成するTFTには致命的な欠陥である。

【0012】

【課題を解決するための手段】上記結晶化を助長する触媒元素としてニッケルを導入した結晶性シリコンを用いて作製された半導体装置のうち、ソース・ドレイン等の不純物領域を燐で形成したものは、OFF 電流が比較的低く（10 pA程度もしくはそれ以下）、かつ上述のようなばらつきもほとんどみられなかった。この事実を踏まえ、燐の持つ特性をよく検討した結果、燐は不純物をゲッターリングする特性を備えていることが報告されていることを知るに至った。

【0013】その報告によると、燐はニッケルに対して特に高いゲッターリングの機能を示す。その他、銅や鉄といった半導体装置に悪影響をもたらすと考えられている元素も、燐でゲッターリングすることが可能である。これらのことから、上述の半導体装置中で燐がニッケルのもつ特性を何らかの形で中和し、ニッケルのOFF 電流特性に対する悪影響を抑えていることが推測できる。

【0014】本発明の第1は、結晶化を助長する触媒元素を導入した結晶性シリコン膜から成る活性層のソース・ドレイン領域に燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）もしくはイオン注入法により注入した後に、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、N型半導体装置を得ることを特徴とする。

【0015】本発明の第2は、結晶化を助長する触媒元素を導入した結晶性シリコン膜から成る活性層のソース・ドレイン領域に燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）もしくはイオン注入法により、注入した後に、さらに燐によってN型化したシリコンにP型の不純物を燐と同様の方法で注入し、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、P型半導体装置を得ることを特徴とする。

【0016】本発明の第3は、結晶化を助長する触媒元

素を導入した結晶性シリコン膜から成る活性層のソース・ドレイン領域に燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）、もしくはイオン注入法により注入したのち、さらに燐によってN型化したシリコンの所望の部分にP型の不純物を燐と同様の方法で注入し、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、同一基板上に選択的にN型半導体装置とP型半導体装置とを得ることを特徴とする。

【0017】本発明の第4は、結晶化を助長する触媒元素を導入した結晶性シリコン膜から成る活性層のLDD領域とソース・ドレイン領域とに燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）もしくはイオン注入法により、注入したのち、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、N型半導体装置を得ることを特徴とする。

【0018】本発明の第5は、結晶化を助長する触媒元素を導入した結晶性シリコン膜から成る活性層のLDD領域に燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）もしくはイオン注入法により、注入したのち、さらにそのLDD領域とソース・ドレイン領域とにP型の不純物を燐と同様の方法で注入し、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、P型半導体装置を得ることを特徴とする。

【0019】本発明の第6は、結晶化を助長する触媒元素を導入した結晶性シリコン膜から成る活性層のLDD領域とソース・ドレイン領域とに燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）もしくはイオン注入法により、注入したのち、さらに燐によってN型化したシリコンにP型の不純物を燐と同様の方法で注入し、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、P型半導体装置を得ることを特徴とする。

【0020】本発明の第7は、結晶化を助長する触媒元素を導入した結晶性シリコン膜から成る活性層において、そのLDD領域とソース・ドレイン領域とに燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）もしくはイオン注入法により、注入したのち、さらに燐によってN型化したシリコンの所望の部分にP型の不純物を燐と同様の方法で注入し、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、同一基板上にN型半導体装置とP型半導体装置とを得ることを特徴とする。

【0021】上記の本発明の第1乃至第7において、結

晶化を助長する触媒元素にはニッケ、白金、コバルト、鉄、パラジウム等の金属元素を用いればよい。とくに、シリコンの結晶化を促進する効果が優れている。

【0022】触媒元素の濃度は、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm³の範囲内とすることが好ましい。 1×10^{15} 原子/cm³よりも濃度が低い場合には、結晶化を助長する効果を得ることができない。また、 1×10^{19} 原子/cm³以上の高濃度ではシリコンに金属的性質が表れて、半導体特性が消滅してしまうためである。本明細書では、シリコン膜中の触媒元素の濃度は2次イオン質量分析法(SIMS)により分析、測定した値の最大値として定義される。

【0023】

【実施例】

【実施例1】本実施例では、結晶化を助長する触媒元素としてニッケルを導入した結晶性シリコン膜に製作途中のトランジスタを形成し、そのソース・ドレイン領域に燐を含むイオンを、公知のイオンドーピング法(プラズマドーピング法ともいう)により、注入したのち、熱アニールもしくは光アニール(もしくはそれら両方)でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、高特性のN型半導体装置を得る方法を示す。以下、高特性の半導体装置とはOFF電流が10pA程度もしくはそれ以下で、素子間の特性のばらつきの小さいものを指す。図1に、本実施例の薄膜トランジスタの作製工程を示す。

【0024】まず、ガラス基板(本実施例ではコーニング7059を用いる)101上に厚さ2000Åの下地酸化珪素膜102と、そのさらに上に厚さ500Åのアモルファスシリコン膜103をプラズマCVD法により連続的に成膜する。そして、10ppmの酢酸ニッケル水溶液をシリコン表面に塗布し、スピンコート法により図示しない酢酸ニッケル層を形成する。酢酸ニッケル水溶液には界面活性剤を添加するとよりよい。(図1(A))

【0025】そして、550℃で4時間の条件で熱アニールすることにより、アモルファスシリコン膜103を結晶化させて、結晶性シリコン膜104を得る。このとき、ニッケルが結晶の核の役割を果たし、アモルファスシリコン膜103の結晶化が促進される。

【0026】550℃、4時間という低温(コーニング7059の歪み点温度以下)、短時間で処理できるのはニッケルの作用による。詳細については特開平6-244104に記されている。

【0027】触媒元素の濃度は、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm³の範囲内とすることが好ましい。本実施例記載のシリコン膜中の触媒元素の濃度は、膜中における最小値で $1 \times 10^{17} \sim 5 \times 10^{18}$ 原子/cm³であり、この値は2次イオン質量分析法(SIMS)により分析、測定値の最大値で定義されたものである。

【0028】このようにして得られた結晶性シリコン膜104の結晶性をさらに高めるために、大出力パルスレーザーであるエキシマレーザーを該膜に照射する。本実施例ではKrFエキシマレーザー(波長248nm、パルス幅30nsec)を使用する。レーザーのエネルギー密度は100mJ/cm²~500mJ/cm²の範囲で該結晶性シリコン膜104の結晶性ができるだけ高くなる値を選択し、照射を行なう。本実施例では、370mJ/cm²でレーザー照射を行なう。照射対象の面積が、上記エキシマレーザーのビームサイズを越える場合、レーザービームを非照射物に対し相対的にずらしながら照射を行う。このとき、非照射物の1点に注目すると、2~20ショットのレーザー光が照射されるようにする。また、レーザー照射時の基板温度は200℃とする。(図1(B))

【0029】次に、結晶性シリコン膜104を島状にエッチングして、島状シリコン領域105を形成する。さらに、プラズマCVD法によって厚さ1200Åの酸化珪素膜106をゲイト絶縁膜として堆積した。プラズマCVDの原料ガスとしては、TEOSと酸素を用いた。成膜時の基板温度は250~380℃、例えば、300℃とした。(図1(C))

【0030】引き続き、スパッタ法によって、厚さ3000~8000Å、例えば6000Åのアルミニウム膜(0.1~2%のシリコンを含む)を堆積して、エッチングして、ゲイト電極107を形成する。(図1(C))

【0031】次に、イオンドーピング法によって、島状シリコン領域105にゲイト電極107をマスクとして燐イオンを注入する。ドーピングガスとして、水素で1~10%に希釈されたフォスフィン(PH₃)を用いる。加速電圧は60~90kV、例えば80kV、ドーピング量は $1 \times 10^{13} \sim 8 \times 10^{15}$ 原子/cm³：例えば、 2×10^{14} 原子/cm³とする。この条件において、燐イオンは 3×10^{19} 原子/cm³の濃度で島状シリコン領域105に添加される。この結果、N型の不純物領域108(ソース)、109(ドレイン)が形成される。(図1(D))

【0032】本発明人の経験によるとN型もしくはP型の導電性を付与する不純物のシリコン領域中の濃度は $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³の範囲に入っているとよい。イオンドーピング時の基板温度は室温とする。

【0033】そして、ドーピングされた燐を活性化し、かつ燐にニッケルのゲッタリングを行わせるために、KrFエキシマレーザーを用いて光アニールを行なう。レーザーのエネルギー密度は100~350mJ/cm²、例えば、250mJ/cm²とする。照射対象の面積が、上記エキシマレーザーのビームサイズを越える場合、レーザービームを非照射物に対し相対的にずらしながら照射を行う。このとき、非照射物の1点に注目する

と、2～20ショットのレーザー光が照射されるようにする。また、レーザー照射時の基板温度は200℃とする。その後、窒素雰囲気中で2時間、350℃の熱アニールを行う。本工程では、光アニールと熱アニールとの両方を行うが、どちらか片方だけ行ってもよい。(図1(E))

【0034】続いて、厚さ6000Åの酸化珪素膜110を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを開孔する。そして、金属材料、例えば、チタンとアルミニウムの多層膜を成膜し、パターニングして、TFTのソース、ドレインの電極・配線111、112を形成する。最後に、1気圧の水素雰囲気中で200～350℃の熱アニールを行う。

(図1(F))

【0035】〔実施例2〕本実施例では、結晶化の触媒元素としてニッケルを導入した結晶性シリコン膜を利用したトランジスタの製作工程において、そのソース・ドレイン領域に燐を含むイオンを、公知のイオンドーピング法(プラズマドーピング法ともいう)により、注入し、さらにP型の不純物イオン(本実施例では硼素を含むイオン)を注入した後、熱アニールもしくは光アニール(もしくはそれら両方)でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、高特性のP型半導体装置を得る方法を示す。

【0036】本実施例は実施例1の工程にP型の不純物イオン(本実施例では硼素を含むイオン)をソース・ドレイン領域に注入する工程を加えればよい。この工程は図1(C)に示す燐イオンをドーピングした後に、又は燐イオンをドーピングする前に実施すればよい。以下、追加されるP型の不純物イオンのドーピング工程に関してのみ記述する。

【0037】本実施例では、シリコン領域にゲイト電極をマスクとしてP型の不純物イオンとして硼素を注入する。ドーピングガスとして、水素で5%に希釈されたジボラン(B₂H₆)を用いる。加速電圧は60～90kV、例えば80kV、ドーズ量は $1 \times 10^{13} \sim 8 \times 10^{15}$ 原子/cm³、例えば、 4×10^{14} 原子/cm³とする。

【0038】なお、本工程によりソース・ドレイン領域に注入された硼素の該領域中の密度の最大値から、燐の該領域中のそれを引いた密度が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³となるようにドーズ量を調節する。イオンドーピング時の基板温度は室温とする。この結果、P型の不純物領域108(ソース)、109(ドレイン)が形成される。

【0039】本実施例では、P型のTFTを作製する際に、結晶性シリコン膜から成る活性層に、硼素のようなP型の導電性を付与する不純物のみでなく、ニッケル及び燐を添加するようにしたため、ニッケルの触媒作用により、低温・短時間で結晶性の優れたシリコン膜を得る

ことができると共に、燐により不要となったニッケルをゲッタリングすることができるため、電気的な特性が優れ、かつ素子ごとに特性のばらつきの少ないTFTを作製することができる。

【0040】〔実施例3〕本実施例では、結晶化を助長する触媒元素としてニッケルを導入した結晶性シリコン膜に製作途中のトランジスタを複数個形成し、そのソース・ドレイン領域に燐を含むイオンを、公知のイオンドーピング法(プラズマドーピング法ともいう)により、注入し、さらにP型の不純物イオン(本実施例では硼素を含むイオン)を選択的に注入して、同一基板上に高特性のN型半導体装置とP型半導体装置と作り分ける方法を示す。

【0041】図2は本実施のTFTの作製工程図であり、CMOS型のTFTの作製工程を示す。まず、図2(A)に示すように、ガラス基板(コーニング1737)201上に、モノシランと一酸化二窒素を原料とするプラズマCVD法によって、下地膜となる酸化珪素膜202を1000～5000Å、例えば、2000Åの厚さに成膜する。さらに、モノシランを原料とするプラズマCVD法によって厚さ1000Åのアモルファスシリコン膜203を成膜する。

【0042】次に、非晶質珪素膜203の表面に過酸化水素水によって図示しない酸化珪素膜をごく薄く形成する。次に、1～30ppm、例えば、10ppmのニッケルを含有した酢酸塩溶液をスピンコート法により塗布して、乾燥して、ニッケルを含有する触媒層204を形成する。(図2(A))

【0043】その後、窒素雰囲気中で550℃、4時間のアニールを施すことにより、非晶質珪素膜203の結晶化をおこなった。この際には、ニッケルは非晶質珪素膜203から下地の酸化珪素膜202へ移動し、上から下へと結晶化が進行する。

【0044】上記アニールによる結晶化工程の後、XeClレーザー(波長308nm)を照射して、結晶化されたシリコン膜の結晶性をさらに向上させる。

【0045】次に、図2(B)に示すように、結晶化されたシリコン膜を島状にエッチングして、島状のシリコン領域205、206をそれぞれ形成する。その後、モノシランと一酸化二窒素を原料とするプラズマCVD法によって、厚さ1000Åの酸化珪素膜207をゲイト絶縁膜として成膜する。

【0046】引き続き、スパッタ法によって、厚さ3000～8000Å、例えば4000Åのアルミニウム膜(0.1～2%のスカンジウムを含む)を成膜して、エッチングして、ゲイト電極208、209を形成した。

【0047】次に、図2(C)に示すように、イオンドーピング法によって、島状シリコン領域208、209それぞれにゲイト電極209、210をマスクとして、

自己整合的にリンイオンをドーピングする。ドーピングガスとして、水素で1~10%に希釈されたフォスフィン(PH_3)を用いる。加速電圧は60~90kVとし、ドーズ量は $1 \times 10^{13} \sim 8 \times 10^{15}$ 原子/ cm^3 とすればよい。本実施例では、加速電圧を80kVとし、 2×10^{14} 原子/ cm^3 とする。この条件において、リンイオンが 3×10^{19} 原子/ cm^3 の濃度で島状シリコン領域208、209それぞれに添加されて、N型の不純物領域210~213が形成される。

【0048】次に、図2(D)に示すように、公知のフォトリソ法により、N型のTFTとなる領域をレジストのマスク214で被覆する。この状態で、イオンドーピング法により、ゲイト電極209をマスクにして、島状シリコン領域206にP型の不純物イオンを添加する。本実施例では、硼素を添加する。ドーピングガスとして、水素で5%に希釈されたジボラン(B_2H_6)を用いる。加速電圧は60~90kVとし、ドーズ量は $1 \times 10^{13} \sim 8 \times 10^{15}$ 原子/ cm^3 とすればよい。本実施例では、加速電圧は80kVとし、ドーズ量を 4×10^{14} 原子/ cm^3 とする。この結果、島状シリコン領域206において、N型の不純物領域212、213の導電型が反転して、P型の不純物領域215(ソース)、216(ドレイン)が形成される。他方、レジストのマスク214で被覆された不純物領域210、211の導電型はN型のまま保存される。

【0049】なお、この工程において、ソース・ドレイン領域215、216中の硼素の密度の最大値から、リンの該領域中のそれを引いた密度が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 となるようにドーズ量を調節する。また、イオンドーピング時の基板温度は室温とする。

【0050】また、本実施例では、リンイオンを添加した後に、硼素を添加するようにしたが、先に、硼素を添加してから、リンイオンを添加するようにしてもよい。この場合は、先ず、図2(D)に示すように、N型TFTの領域をレジストのマスク214で被覆して、硼素イオンを添加する。そして、レジストのマスク214を除去した後に、リンイオンを添加すればよい。

【0051】次に、レジストのマスク214を除去した後に、図2(E)に示すように、レーザーアニールにより、添加された不純物の活性化させると共に、ドーピング工程により損傷された島状シリコン領域205、206の結晶性を回復させる。本実施例では、N型の不純物領域210、211及びP型の不純物領域215、216にリンが 3×10^{19} 原子/ cm^3 の濃度添加されているため、レーザーを照射することにより、リンによりニッケルがゲッタリングされる。レーザー光としては、KrFエキシマレーザー(波長248nm)を用いる。ニッケルを効果的にゲッタリングするためには、レーザー光の照射条件はエネルギー密度が200~400mJ/ cm^2 、例えば250mJ/ cm^2 とするとよい。また、一

か所につき2~20ショットのレーザー光が照射されるようにするとよい。レーザー光の照射時の基板温度は200℃とする。

【0052】レーザーアニールの後に、窒素雰囲気中で2時間、350℃の温度で熱アニールする。なお、本実施例では、レーザーアニール、熱アニール双方を行うようにしたが、レーザーアニール、熱アニールのいずれか一方を行うようにすればよい。

【0053】続いて、図2(F)に示すように、厚さ6000Åの酸化珪素膜216を層間絶縁物としてプラズマCVD法によって形成する。そして、層間絶縁物216にコンタクトホールを形成して、金属材料、例えば、チタン膜とアルミニウム膜の積層膜によってN型TFT、P型TFTの電極・配線217~221を形成する。最後に、350℃の水素雰囲気中で、2時間熱処理を行う。(図2(F))

【0054】以上の工程を経て、N型TFT、P型TFTを相補的に組み合わせられたCMOS型のTFTが完成する。

【0055】〔実施例4〕本実施例では、結晶化を助長する触媒元素としてニッケルを導入した結晶性シリコン膜を利用して、LDD構造の薄膜トランジスタを作製する場合において、ソース・ドレイン領域と、LDD領域とにリンを含むイオンを、公知のイオンドーピング法(プラズマドーピング法ともいう)により、注入したのち、熱アニールもしくは光アニール(もしくはそれら両方)でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、高特性のN型半導体装置を得る方法を示す。

【0056】結晶性シリコン膜の形成までは、実施例1で示した方法で行う。その後、公知のLDD構造をもつ薄膜トランジスタを公知の方法にて形成する。ソース・ドレイン領域およびLDD領域の活性化は実施例1記載の方法に従う。図3にサイドウォールを有するLDD構造のTFTを示す。

【0057】図3に示すように、ソース/ドレイン領域301とチャネル領域の間には、ソース/ドレイン領域よりも不純物濃度が低い低濃度不純物領域302が形成されている。とくに、ドレイン側の低濃度不純物領域302をLDD領域という。

【0058】本実施例では、ソース/ドレイン領域301には、リンが $1 \times 10^{20} \sim 1 \times 10^{21}$ 原子/ cm^3 ほど注入されている。また、低濃度不純物領域302には、リンが $4 \times 10^{16} \sim 7 \times 10^{17}$ 原子/ cm^3 ほど注入されている。これらの値でドーピングを行うと、リンにより不要となったニッケルを効果的にゲッタリングすることができるため、素子間で特性のばらつきが少なく、OFF電流の低いTFTを得ることができる。

【0059】〔実施例5〕本実施例では、結晶化の触媒元素としてニッケルを導入した結晶性シリコン膜を使用

して、LDD構造の薄膜トランジスタを作製する場合に、そのLDD領域に燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）により、注入したのち、さらにソース・ドレイン領域とLDD領域とにP型の不純物イオンを注入し、その後、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、高特性のP型半導体装置を得る方法を示す。

【0060】工程は実施例4とほぼ同様である。異なる点は、LDD領域（215・216）には、燐と共に、燐の濃度を越える濃度で、 $3 \times 10^{17} \sim 3 \times 10^{18}$ 原子/cm³ 硼素が添加されて、LDD領域がN型からP型に反転している。なお、LDD領域中の硼素の濃度は $3 \times 10^{17} \sim 3 \times 10^{18}$ 原子/cm³ とする。また、ソース（312）・ドレイン（313）領域には、燐の代わりに、硼素が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³ ほど注入されて、N型の導電性を示す。

【0061】LDD領域添加される燐の濃度はソース／ドレイン領域に添加される燐の濃度よりも2～4桁程度小さいため、LDD領域をN型からP型に反転させる際には、硼素のドーズ量をソース／ドレイン領域の導電性を反転させるよりも小さくすることができる。なお、LDD領域をN型からP型に反転させるためには、LDD領域に注入された硼素の該領域中の密度の最大値から燐の該領域中のそれを引いた密度が $3 \times 10^{17} \sim 3 \times 10^{18}$ 原子/cm³ となるように調節する。

【0062】本実施例では、P型のTFETを作製する際に、結晶性シリコン膜から成る活性層に、硼素のようなP型の導電性を付与する不純物のみでなく、ニッケル及び燐を添加するようにしたため、ニッケルの触媒作用により、低温・短時間で結晶性の優れたシリコン膜を得ることができると共に、燐により不要となったニッケルをゲッタリングすることができるため、電気的な特性が優れ、かつ素子ごとに特性のばらつきの少ないTFETを作製することができる。

【0063】〔実施例6〕本実施例では、結晶化の触媒元素としてニッケルを導入した結晶性シリコン膜を使用してLDD構造の薄膜トランジスタを形成する際に、ソース・ドレイン領域とLDD領域とに燐を含むイオンを、公知のイオンドーピング法（プラズマドーピング法ともいう）により、注入したのち、さらにソース・ドレイン領域とLDD領域とにP型の不純物イオンを注入し、その後、熱アニールもしくは光アニール（もしくはそれら両方）でシリコン膜の結晶性の改善と不純物の活性化を行うことによって、高特性のP型半導体装置を得る方法を示す。

【0064】工程は実施例5とほぼ同様である。異なる点はソース（212）・ドレイン（213）領域に、燐を越える濃度で硼素が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³ほど注入されている。また、LDD領域（215・

216）にも、燐を越える濃度で硼素が $3 \times 10^{17} \sim 4 \times 10^{18}$ 原子/cm³ ほど注入されている。このため、ソース・ドレイン領域、LDD領域とがN型からP型に移行する。

【0065】このためには、ソース・ドレイン領域に注入された硼素の該領域中の密度の最大値から燐の該領域中のそれを引いた密度が $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³ となるように、また、LDD領域に注入された硼素の該領域中の密度の最大値から燐の該領域中のそれを引いた密度が $3 \times 10^{17} \sim 3 \times 10^{18}$ 原子/cm³ となるように、硼素のドーピング条件を決定する。

【0066】本実施例では、P型のTFETを作製する際に、結晶性シリコン膜から成る活性層に、硼素のようなP型の導電性を付与する不純物のみでなく、ニッケル及び燐を添加するようにしたため、ニッケルの触媒作用により、低温・短時間で結晶性の優れたシリコン膜を得ることができると共に、燐によりニッケルをゲッタリングすることができるため、電気的な特性が優れ、かつ素子ごとに特性のばらつきの少ないTFETを作製することができる。

【0067】〔実施例7〕本実施例では、N型薄膜トランジスタとP型薄膜トランジスタとを相補的に組み合わせたCMOS型薄膜トランジスタを形成する例を示す。図4に本実施例を示す。まず、上面に下地膜を形成したガラス基板（コーニング7059又は1737）401上に、プラズマCVD法により真性（I型）のアモルファスシリコン膜を500Åの厚さに成膜して、下地膜として酸化珪素膜402を例えば2000Åの厚さに成膜する。

【0068】次に、アモルファスシリコン膜403の表面をUV酸化法により、酸化して、図示しない酸化膜をごく薄く形成する。この酸化膜より、アモルファスシリコン膜403の表面特性が改善される。次に、スピコート法により、1～30ppm、例えば、10ppmのニッケルを含有した酢酸塩溶液を塗布して、乾燥して、酢酸ニッケル層404を形成する。なお、酢酸ニッケル層404は完全な層を成しているとは限らない。（図4（A））

【0069】その後、窒素雰囲気中で550℃、4時間の熱アニールを施して、アモルファスシリコン膜403を結晶化する。加熱処理により、酢酸ニッケル層404が分解されて、ニッケル元素が図示しない酸化膜を経て、アモルファスシリコン膜403の表面から下地の酸化珪素膜402へ拡散するに伴って、アモルファスシリコン膜403の結晶成長が進行する。結晶化工程の終了後、レーザー光を照射して、結晶化されたシリコン膜の結晶性をさらに向上させてもよい。

【0070】なお、ニッケル等の金属元素が 1×10^{19} 原子/cm³ 以上の高濃度で結晶化されたシリコン膜中に存在していると、シリコンに金属的性質が表れて、半

導体特性が消滅してしまい、また、この濃度が 1×10^{15} 原子/ cm^3 以下であると、結晶化の効果をすることができない。このため結晶化されたシリコン膜中のニッケルの濃度は、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/ cm^3 の範囲内とする必要がある。そのため、酢酸塩溶液中のニッケル濃度、酢酸塩溶液の塗布条件等を予め決定しておく。

【0071】結晶化されたシリコン膜をエッチングして、図4(B)に示すように、島状シリコン領域405、406を形成する。島状シリコン領域405はN型TFTの活性層を構成し、他方島状シリコン領域406はP型TFTの活性層を構成する。

【0072】さらに、プラズマCVD法により厚さ1500Åの酸化珪素膜407を堆積する。次に、スパッタ法によりアルミニウム膜を4000Åの厚さに堆積する。このアルミニウム膜はゲイト電極408、409を構成するものである。このアルミニウム膜には、予めスカンジウムを0.2wt含有させて、ヒロックやウィスカが発生するのを抑制する。

【0073】次に、アルミニウム膜を電解液中で陽極酸化して、表面に図示しない緻密な陽極酸化膜を100Å程度の厚さに形成し、その緻密な陽極酸化膜上に、フォトレジストのマスク410を形成して、アルミニウム膜をパターンニングして、ゲイト電極408、409を形成する。

【0074】図4(C)に示すように、フォトレジストのマスク410を着けたままで、ゲイト電極408、409を再度陽極酸化する。電解溶液には、クエン酸、シュウ酸、クロム酸又は硫酸を3~20%含有した酸性溶液、例えば3%シュウ酸水溶液を使用する。この場合には、ゲイト電極408、409の表面にフォトレジストのマスク410と図示しない緻密な陽極酸化膜が存在するため、ゲイト電極408、409の側面のみに多孔質の陽極酸化物411、412が形成される。この多孔質の陽極酸化物411、412の成長距離で低濃度不純物領域(LDD領域)の長さを決定される。この成長距離は陽極酸化の処理時間で制御することができる。本実施例では、多孔質の陽極酸化物411、412を7000Åの長さに成長させる。

【0075】フォトレジストのマスク410を除去した後、再びゲイト電極411、412を陽極酸化して、緻密で強固な陽極酸化膜409、410を形成する。本実施例では、電解溶液として3%酒石酸のエチレングリコール溶液を、アンモニア水でPH6.9に中和して使用する。(図4(D))

【0076】次に、多孔質の陽極酸化物411、412、及び緻密な陽極酸化物413、414をマスクにして、酸化珪素膜407をエッチングして、ゲイト絶縁膜415、416をそれぞれする。エッチング方法はこれらの陽極酸化物411~414をエッチングせず、酸化

珪素膜407のみをエッチング可能であれば、ウェットエッチング法でも、ドライエッチング法のいずれを採用してもよい。本実施例では、 ClF_3 ガスを用いたドライエッチングによって、酸化珪素膜407をエッチングする。

【0077】図4(E)に示すように、図示しない緻密な陽極酸化物、多孔質な陽極酸化物411、412を順次に除去する。図示しない緻密な陽極酸化物はバッファーフッ酸で除去し、多孔質の陽極酸化物411、412は磷酸、酢酸及び硝酸を混合した混酸を用いて除去する。多孔質の陽極酸化物411、412は容易に除去できるため、緻密で強固な陽極酸化物413、414がエッチングされることはない。

【0078】次に、ゲイト電極408、409をマスクにして、イオンドーピング法により、島状シリコン405、406に不純物を注入する。本実施例では、まず燐を注入するために、ドーピングガスに水素で1~10%に希釈したフォスフィン(PH_3)を用いる。また、ドーピング時の基板温度は室温とする。この場合、ゲイト絶縁膜415、416が半透過なマスクとして機能するように、加速電圧、ドーズ量、ドーピング回数等のドーピング条件を適宜に設定する。

【0079】ドーピングにより、島状シリコン領域405、406において、表面が露出されている領域は高濃度に燐イオンが注入されて、N型の高濃度不純物領域417~420が形成される。これらN型の高濃度不純物領域417~420はTFTのソース/ドレイン領域となる。また、ゲイト電極405、406の直下の領域は燐イオンが注入されないため、チャネル形成領域421、422が形成される。更に、ゲイト絶縁膜415、416のみに覆われている領域は、燐イオンがゲイト絶縁膜415、416に遮られるために、燐の注入量が小さく、N型の低濃度不純物領域423~426が形成される。(図4(E))

【0080】なお、上記のドーピング工程において、燐イオンの濃度が、N型の高濃度不純物領域417~429において $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/ cm^3 となるように、更に、低濃度不純物領域423~426において $4 \times 10^{16} \sim 7 \times 10^{17}$ 原子/ cm^3 となるように、ドーピング工程の条件を設定する。

【0081】次に、図4(F)レジスト427で被覆して、パターンニングして、P型TFTとなる部分のレジストを除去する。続いて、P型の導電性を付与するための不純物として、硼素をイオンドーピング法により注入する。ドーピングガスとして、水素で5%に希釈されたジボラン(B_2H_6)を用いる。イオンドーピング時の基板温度は室温とする。この結果、島状シリコン領域406において、N型の高濃度不純物領域419、420、及びN型の低濃度不純物領域425、426はそれぞれ導電型が反転して、P型の高濃度不純物領域428(ソ

ース)、429(ドレイン)、及びP型の低濃度不純物領域430、431となる。他方、レジスト427で被覆された高濃度不純物領域417(ソース)、418(ドレイン)、及び低濃度不純物領域423、424の導電型はN型のまま保存される。

【0082】なお、ソース・ドレイン領域となるP型の高濃度不純物領域428、429において、硼素の濃度が当該領域中の燐の濃度よりも $3 \times 10^{19} \sim 1 \times 10^{21}$ 原子/cm³高く、P型の低濃度不純物領域430、431において、硼素の濃度が燐の濃度より $3 \times 10^{17} \sim 4 \times 10^{18}$ 原子/cm³高くなるように、ドーピング工程の条件を決定する。

【0083】次に、レジストのマスク214を除去した後に、図4(G)に示すように、レーザーアニールにより、添加された不純物の活性化させると共に、ドーピング工程により損傷された島状シリコン領域405、406の結晶性を回復させる。

【0084】本実施例では、N型及びP型のソース/ドレイン417、418、428、429には燐が $1 \times 10^{20} \sim 1 \times 10^{21}$ 原子/cm³の濃度で注入され、更に、N型及びP型の低濃度不純物領域423、424、430、432には燐が $4 \times 10^{16} \sim 7 \times 10^{17}$ 原子/cm³濃度で注入されているため、レーザーを照射することにより、燐によりニッケルが効果的にゲッタリングされる。

【0085】レーザー光としては、KrFエキシマレーザー(波長248nm)を用いた場合には、ニッケルを効果的にゲッタリングするためには、レーザー光の照射条件はエネルギー密度が $200 \sim 400$ mJ/cm²、例えば 250 mJ/cm²とするとよい。また、一か所につき2~20ショットのレーザー光が照射されるようにするとよい。レーザー光の照射時の基板温度は200℃とする。

【0086】レーザーアニールの後に、窒素雰囲気中で2時間、350℃の温度で熱アニールする。なお、本実施例では、レーザーアニール、熱アニール双方を行うようにしたが、レーザーアニール、熱アニールのいずれか一方を行うようにすればよい。

【0087】図4(H)に示すように、厚さ1μmの酸化珪素膜を層間絶縁膜432としてプラズマCVD法により形成し、これにコンタクトホールを形成する。そして、このコンタクトホールに、金属材料、例えばチタンとアルミニウムの多層膜により、ソース/ドレインの電極、配線433、434、435を形成する。最後に、350℃の水素雰囲気中において、2時間の加熱処理を

行う。以上の工程を経て、CMOS薄膜トランジスタが完成される。(図4(H))

【0088】また、本実施例では、燐イオンを添加した後に、硼素を添加するようにしたが、先に、硼素を添加してから、燐イオンを添加するようにしてもよい。この場合は、先ず、図2(D)に示すように、N型TFTの領域をレジスト427で被覆して、硼素イオンを添加する。そして、レジスト427を除去した後に、燐イオンを添加すればよい。

【0089】

【発明の効果】本発明により、結晶化の触媒元素を導入した結晶性シリコン膜を用いても、OFF電流が低く、特性にばらつきの少ない薄膜TFTを作成することが可能となった。

【0090】特に、結晶化を助長する触媒元素としてニッケルを用いた場合、その効果は著しかった。この効果は、同一基板上に複数の同一機能を有する素子を形成する場合に特に有効である。というのは、OFF電流が素子間で大きくばらついた場合、素子間で特性の不均一が生じるからである。このような不均一は特にTFT液晶ディスプレイ装置中に形成される画素に対して有害なものである。よって、本発明は工業上有益な物であると思われる。

【図面の簡単な説明】

【図1】 実施例1、2の薄膜トランジスタの作製工程図である。

【図2】 実施例3の薄膜トランジスタの作製工程図である。

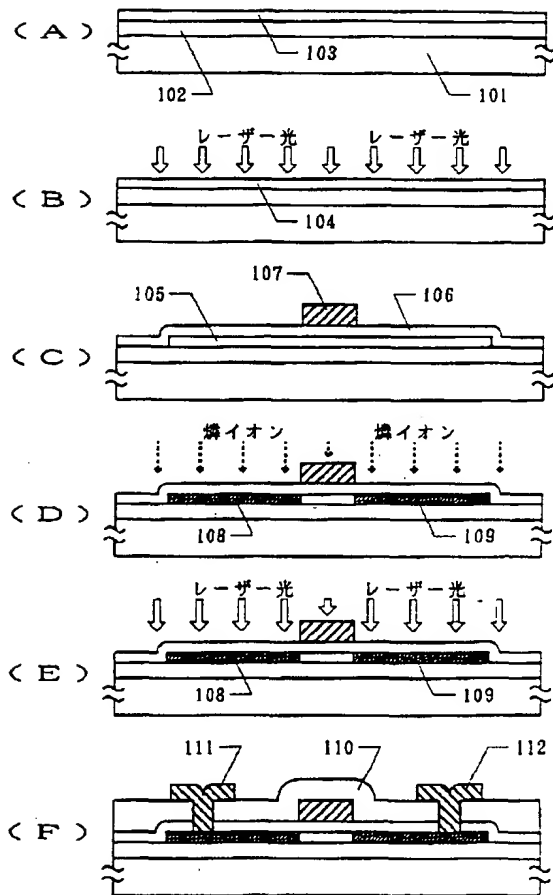
【図3】 実施例4の薄膜トランジスタの構成図である。

【図4】 実施例7の薄膜トランジスタの作製工程図である。

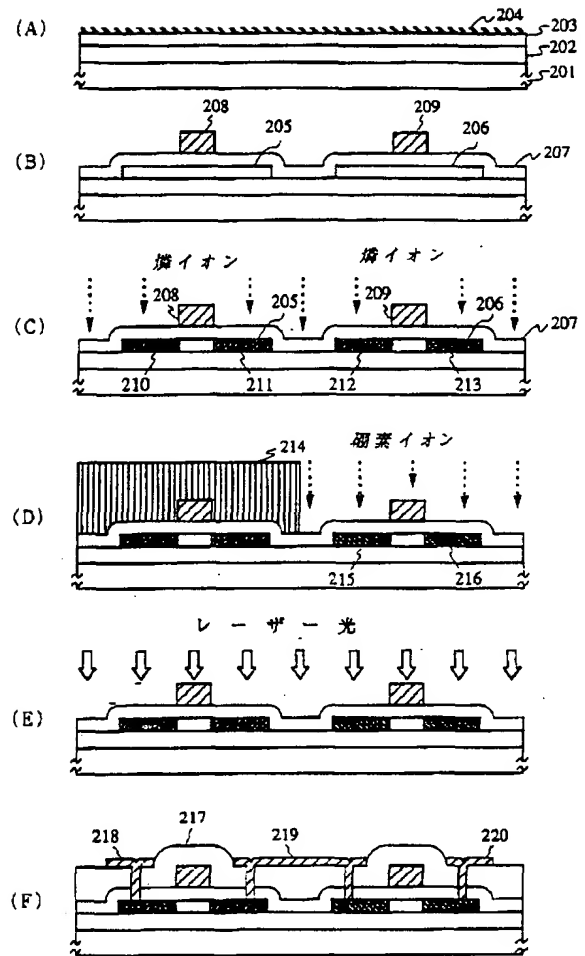
【符号の説明】

101	ガラス基板
102	下地膜
103	非晶質珪素膜
105	活性層
106	ゲイト絶縁膜
107	ゲイト電極
108、212	ソース領域
109、213	ドレイン領域
110、217	層間絶縁膜
111、218	ソース電極
112、219	ドレイン電極

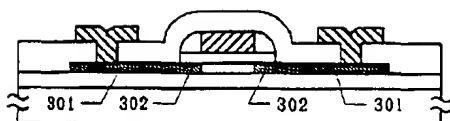
【図1】



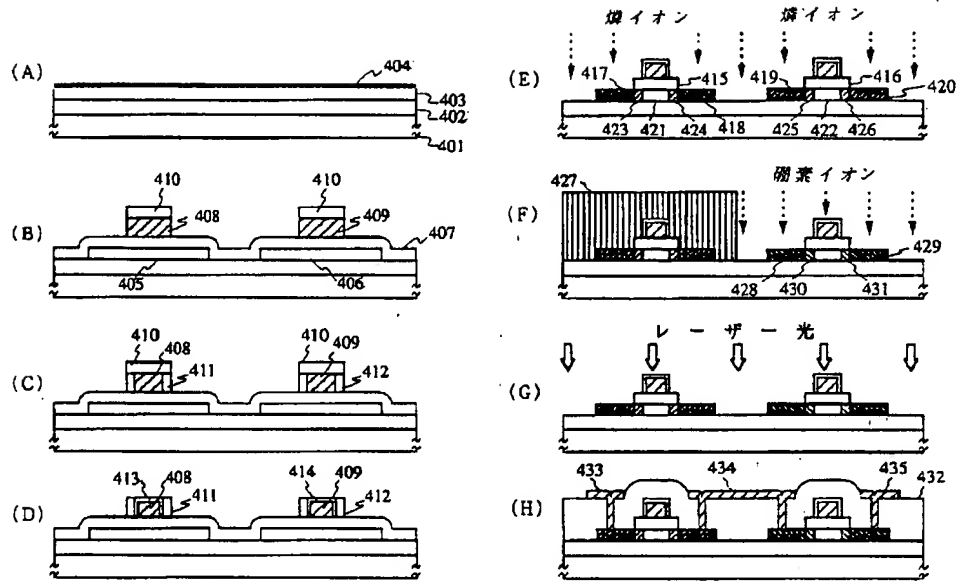
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

H01L 21/324

識別記号

庁内整理番号

FI

H01L 29/78

技術表示箇所

616A

627G